**Министерство науки и высшего образования Российской Федерации**

**Ульяновский государственный технический университет**

**Лабораторная работа № 8 по предмету**

**«Алгоритмические и аппаратные средства обработки информации»**

ПРОЕКТИРОВАНИЕ ОСНОВНЫХ ВЫЧИСЛИТЕЛЬНЫХ УЗЛОВ ЦИФРОВЫХ ФИЛЬТРОВ (МАСШТАБИРУЮЩИЙ АККУМУЛЯТОР)

**(Название лабораторной работы)**

**Учебная группа ИСТМД-11**

|  |  |  |  |
| --- | --- | --- | --- |
|  | **ФИО** | **Дата** | **Подпись** |
| **Студент** | **Шаблыгин В.В.** |  |  |
| **Преподаватель** | **Сазонов С.Н.** |  |  |

**Ульяновск, 2022**

**ЦЕЛЬ РАБОТЫ:**

Согласно варианту, указанному преподавателем, спроектировать вычислительный узел (масштабирующий аккумулятор).

**ОБОРУДОВАНИЕ И ПРИНАДЛЕЖНОСТИ:**

Quartus II.

**Исходные данные:**

**Вариант 1.**

W = 4;

N = 6;

X = 11.

**ВЫПОЛНЕНИЕ РАБОТЫ**

1. Создание программы масштабирующего аккумулятора на языке VHDL, в Quartus II:

Файл .vhd:

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

LIBRARY lpm;

USE lpm.lpm\_components.all;

ENTITY lab\_8 IS

GENERIC (

W : NATURAL:=4;

N : NATURAL:=6);

PORT (

add\_sub : IN STD\_LOGIC;

clk : IN STD\_LOGIC;

X : IN STD\_LOGIC\_VECTOR(W-1 downto 0);

nReset : IN STD\_LOGIC;

DOUT : OUT STD\_LOGIC\_VECTOR(W+N-1 downto 0));

END lab\_8;

architecture struct of lab\_8 is

COMPONENT lpm\_add\_sub

GENERIC (

LPM\_WIDTH: POSITIVE;

LPM\_REPRESENTATION: STRING := "SIGNED";

LPM\_DIRECTION: STRING := "UNUSED";

LPM\_PIPELINE: INTEGER := 0;

LPM\_TYPE: STRING := "LPM\_ADD\_SUB";

LPM\_HINT: STRING := "UNUSED");

PORT(

dataa,datab: IN STD\_LOGIC\_VECTOR(LPM\_WIDTH-1 DOWNTO 0);

aclr, clock, cin: IN STD\_LOGIC := '0';

clken, add\_sub: IN STD\_LOGIC := '1';

result: OUT STD\_LOGIC\_VECTOR(LPM\_WIDTH-1 DOWNTO 0);

cout, overflow: OUT STD\_LOGIC);

END COMPONENT;

COMPONENT lpm\_shiftreg

GENERIC (

LPM\_WIDTH: POSITIVE;

LPM\_AVALUE: STRING := "UNUSED";

LPM\_SVALUE: STRING := "UNUSED";

LPM\_PVALUE: STRING := "UNUSED";

LPM\_DIRECTION: STRING := "UNUSED";

LPM\_TYPE: STRING := "LPM\_SHIFTREG";

-- MAXIMIZE\_SPEED: POSITIVE;

LPM\_HINT: STRING := "UNUSED");

PORT(

data: IN STD\_LOGIC\_VECTOR(LPM\_WIDTH-1 DOWNTO 0) := (OTHERS => '0');

clock: IN STD\_LOGIC;

enable, shiftin: IN STD\_LOGIC := '1';

load, sclr, sset, aclr, aset: IN STD\_LOGIC := '0';

q:OUT STD\_LOGIC\_VECTOR(LPM\_WIDTH-1 DOWNTO 0);

shiftout: OUT STD\_LOGIC);

END COMPONENT;

signal sum: STD\_LOGIC\_VECTOR(W-1 downto 0);

signal tmp\_out: STD\_LOGIC\_VECTOR(W+N-1 downto 0);

signal rst: STD\_LOGIC;

BEGIN

rst <= NOT nReset;

adder: lpm\_add\_sub

GENERIC MAP(

LPM\_DIRECTION => "DEFAULT",

LPM\_PIPELINE => 1,

LPM\_REPRESENTATION => "SIGNED",

LPM\_WIDTH => W)

--MAXIMIZE\_SPEED => 5

PORT MAP(

add\_sub => add\_sub,

aclr => rst,

clock => clk,

dataa => sum,

datab => X,

result => tmp\_out(W+N-1 downto N));

shifter: lpm\_shiftreg

GENERIC MAP(LPM\_DIRECTION => "RIGHT",

LPM\_WIDTH => N)

PORT MAP(

shiftin => tmp\_out(N),

clock => clk,

q => tmp\_out(N-1 downto 0));

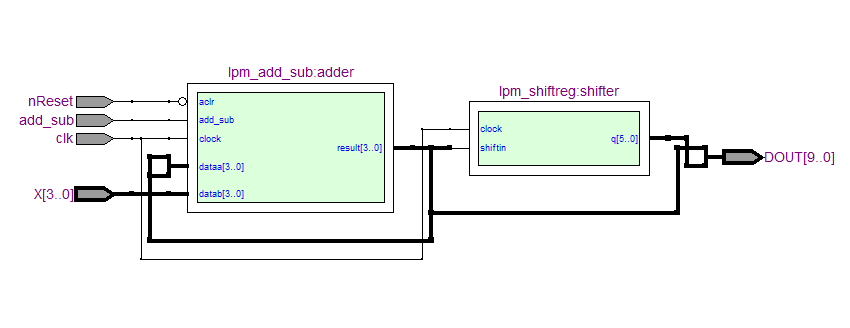
sum(W-1) <= tmp\_out(W+N-1);

sum(W-2 downto 0) <= tmp\_out(W+N-1 downto N+1);

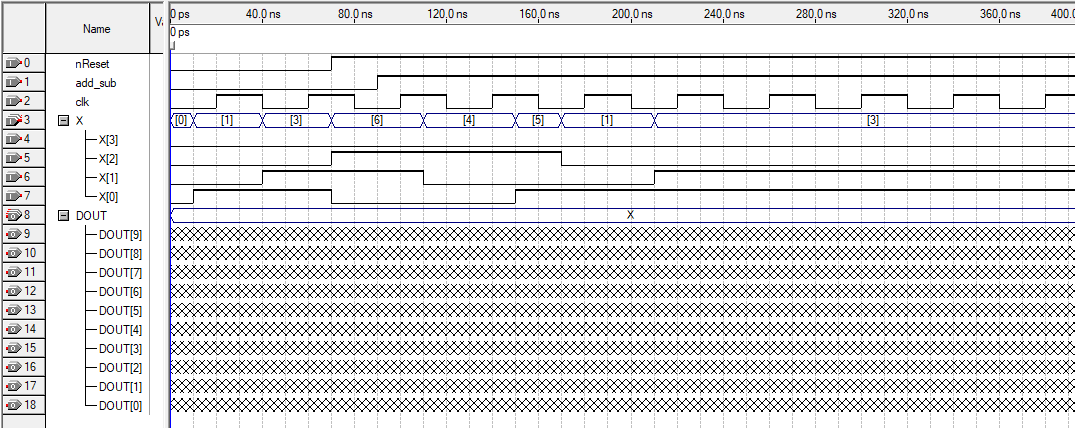
DOUT <= tmp\_out;

end struct;

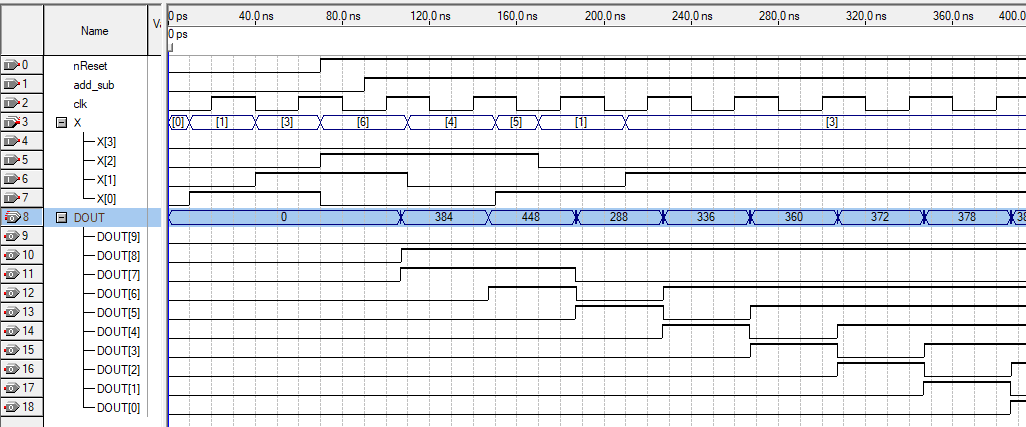
2.Cсинтезированная комбинационная схема табличного множителя:



3.Построение временной диаграммы.



4.Результат симуляции:



**Вывод: в данной работе был построен масштабирующий аккумулятор и смоделирована его работа.**